



[12] 发明专利说明书

专利号 ZL 03106857.X

[45] 授权公告日 2006 年 3 月 22 日

[11] 授权公告号 CN 1246889C

[22] 申请日 2003.3.5 [21] 申请号 03106857.X

[71] 专利权人 统宝光电股份有限公司

地址 台湾省新竹科学工业区苗栗县

[72] 发明人 李英信 杨胜捷 石 安 柯明道

曾当贵 邓志刚

审查员 刘天飞

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

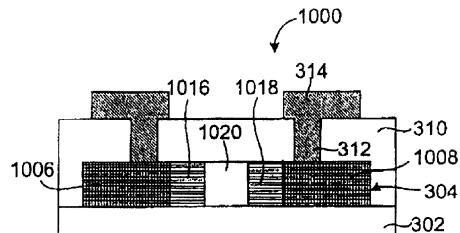
权利要求书 4 页 说明书 6 页 附图 4 页

[54] 发明名称

二极管的制造方法与结构

[57] 摘要

本发明提供一种二极管的制造方法与结构。此二极管用于采用薄膜晶体管工艺的静电放电防护电路。其工艺包括下列步骤：形成半导体层于衬底上。于半导体层中形成具第一载流子浓度的第一区域。于半导体层中形成具第二载流子浓度的第二区域。形成绝缘层于半导体层上。蚀刻绝缘层以形成至少一接触窗。以及形成金属层于绝缘层上。其中，接触窗暴露出半导体层一部分的上表面，金属层填入接触窗以接触半导体层。



1. 一种在一衬底上形成一二极管的方法，包括：
 形成一半导体层于该衬底上；
 于该半导体层中形成具一第一载流子浓度的一第一区域，该第一载流子浓度为一第一导电型；
 于该半导体层中形成具一第二载流子浓度的一第二区域，该第二载流子浓度与该第一导电型不同的一第二导电型，其中于该第一区域与该第二区域之间有一作为本征区的第三区域；
10 形成一绝缘层于该半导体层上；
 蚀刻该绝缘层以在该第一和第二区域之上形成至少一接触窗；以及
 形成一金属层于该绝缘层上；
 其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。
15 2. 如权利要求 1 所述的方法，其中该二极管采用一薄膜晶体管工艺，并应用于电路上。
 3. 如权利要求 2 所述的方法，其中该薄膜晶体管工艺是指一多晶硅薄膜晶体管工艺。
 4. 如权利要求 1 所述的方法，其中若该第一导电型为一正型，则该第二导电型为一负型，若该第一导电型为该负型，则该第二导电型为该正型。
20 5. 一种在一衬底上形成一二极管的方法，包括：
 形成一半导体层于该衬底上；
 于该半导体层中形成具一第一载流子浓度的一第一区域，该第一载流子浓度为一第一导电型；
 于该半导体层中形成具一第二载流子浓度的一第二区域，该第二载流子浓度与该第一导电型不同的一第二导电型；
25 在该半导体层中形成具一第三载流子浓度的一第三区域，其中该第三载流子浓度为该第一导电型，该第三载流子浓度小于该第一载流子浓度，该第一区域与该第二区域不邻接，该第三区域位于该第一区域与该第二区域之间，该第三区域与该第一区域邻接；
30 形成一绝缘层于该半导体层上；

蚀刻该绝缘层以在该第一和第二区域之上形成至少一接触窗；以及形成一金属层于该绝缘层上，

其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

5 6. 如权利要求 5 所述的方法，其中该二极管采用一薄膜晶体管工艺，并应用于电路上。

7. 如权利要求 5 所述的方法，其中于形成该绝缘层之前，还包括于该半导体层中形成一第四区域，该第四区域为一本征区，且该第三区域与该第二区域不邻接，该第四区域位于该第三区域与该第二区域之间。

10 8. 如权利要求 5 所述的方法，其中于形成该绝缘层之前，还包括于该半导体层中形成具一第四载流子浓度的一第四区域，其中该第四载流子浓度为该第二导电型，该第四载流子浓度小于该第二载流子浓度，该第三区域与该第二区域不邻接，该第四区域位于该第三区域与该第二区域之间，该第四区域与该第二区域邻接。

15 9. 如权利要求 8 所述的方法，其中于形成该绝缘层之前，还包括于该半导体层中形成一第五区域，该第五区域为一本征区，且该第三区域与该第四区域不邻接，该第五区域位于该第三区域与该第四区域之间。

20 10. 如权利要求 8 所述的方法，其中于形成该绝缘层之前，还包括于该半导体层中形成具一第五载流子浓度的一第五区域，其中该第五载流子浓度为该第一导电型，该第五载流子浓度小于该第三载流子浓度，且该第三区域与该第四区域不邻接，该第五区域位于该第三区域与该第四区域之间。

11. 如权利要求 6 所述的方法，其中该薄膜晶体管工艺是指一多晶硅薄膜晶体管工艺。

25 12. 如权利要求 5 所述的方法，其中若该第一导电型为一正型，则该第二导电型为一负型，若该第一导电型为该负型，则该第二导电型为该正型。

13. 一种二极管，包括：

一半导体层，包括：

一第一区域，具一第一载流子浓度，该第一载流子浓度为一第一导电型；

30 一第二区域，具一第二载流子浓度，该第二载流子浓度为与该第一导电型不同的一第二导电型；以及

作为本征区的一第三区域，其位于该第一区域与该第二区域之间；

一绝缘层，位于该半导体层上，该绝缘层包括位于该第一和第二区域上方的至少一接触窗；以及

一金属层，位于该绝缘层上，

5 其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

14. 如权利要求 13 所述的二极管，其中若该第一导电型为一正型，则该第二导电型为一负型，若该第一导电型为该负型，则该第二导电型为该正型。

10 15. 一种二极管，包括：

一半导体层，包括：

一第一区域，具一第一载流子浓度，该第一载流子浓度为一第一导电型；

15 一第二区域，具一第二载流子浓度，该第二载流子浓度为与该第一导电型不同的一第二导电型；以及

一第三区域，该第三区域具一第三载流子浓度，该第三载流子浓度为该第一导电型，该第三载流子浓度小于该第一载流子浓度，该第一区域与该第二区域不邻接，该第三区域位于该第一区域与该第二区域之间，该第三区域与该第一区域邻接；

20 一绝缘层，位于该半导体层上，该绝缘层包括位于该第一和第二区域上方的至少一接触窗；以及

一金属层，位于该绝缘层上，

其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

25 16. 如权利要求 15 所述的二极管，其中该半导体层还包括一第四区域，该第四区域为一本征区，且该第三区域与该第二区域不邻接，该第四区域位于该第三区域与该第二区域之间。

17. 如权利要求 15 所述的二极管，其中该半导体层还包括一第四区域，该第四区域具一第四载流子浓度，其中该第四载流子浓度为该第二导电型，该第四载流子浓度小于该第二载流子浓度，该第三区域与该第二区域不邻接，该第四区域位于该第三区域与该第二区域之间，该第四区域与该第二

区域邻接。

18. 如权利要求 17 所述的二极管，其中该半导体层还包括一第五区域，该第五区域为一本征区，且该第三区域与该第四区域不邻接，该第五区域位于该第三区域与该第四区域之间。

5 19. 如权利要求 17 所述的二极管，其中该半导体层还包括一第五区域，该第五区域具一第五载流子浓度，其中该第五载流子浓度为该第一导电型，该第五载流子浓度小于该第三载流子浓度，且该第三区域与该第四区域不邻接，该第五区域位于该第三区域与该第四区域之间。

10 20. 如权利要求 15 至 19 中的任一项所述的二极管，其中若该第一导电型为一正型，则该第二导电型为一负型，若该第一导电型为该负型，则该第二导电型为该正型。

二极管的制造方法与结构

5 技术领域

本发明涉及一种二极管的工艺与结构。此二极管用于采用薄膜晶体管工艺的静电放电防护电路。

背景技术

10 一般电子产品(例如显示器面板)在运送过程中容易累积大量静电荷。进而使产品受到大电流冲击而降低性能，甚至损坏。因此须在产品中加入静电放电防护电路。

15 图 1 所示为目前薄膜晶体管工艺中采用的静电放电防护电路 100。此防护电路 100 主要是利用晶体管 102、104 与电阻 106、108 实现。但此种电路制作较为复杂。

发明内容

20 本发明的主要目的在于提供一种二极管的工艺与结构。此二极管用于采用薄膜晶体管工艺的静电放电防护电路。且此二极管耐压较高，可以消除现有技术中耐压不高的影响。

本发明的精髓在于此二极管应用于采用薄膜晶体管工艺的静电放电防护电路。此二极管可采用现有的薄膜晶体管工艺，而毋需额外工艺步骤及额外的掩模。且本发明针对二极管中的本征(intrinsic)区做掺杂(doping)浓度的调整，进一步加强二极管的耐压度。

25 图 2 为应用本发明的静电放电防护电路 200 的示意图。根据本发明的二极管 204、206、208、210 位于内部电路 202 和 VDD、VSS 之间，以达到防护效果。

30 本发明所提供的二极管用于采用薄膜晶体管工艺的静电放电防护电路。其工艺包括下列步骤。形成半导体层于衬底上。于半导体层中形成具有第一载流子(carrier)浓度的第一区域，此第一载流子浓度为第一导电型。于半导体层中形成具有第二载流子浓度的第二区域，此第二载流子浓度为

一第二导电型，其与该第一导电类型不同，其中于该第一区域与该第二区域之间有一作为本征区的第三区域。形成绝缘层于半导体层上。蚀刻绝缘层以在该第一和第二区域之上形成至少一接触窗(contact window)。以及形成金属层于绝缘层上。其中，接触窗暴露出半导体层的该第一和第二区域的一部分的上表面，金属层填入接触窗以接触半导体层。

上述工艺中，第一区域可与第二区域邻接或不邻接。另外，若第一导电型为正型(P型)，第二导电型则为负型(N型)。若第一导电型为负型，第二导电型则为正型。

上述工艺在形成绝缘层之前，还可包括在半导体层中形成一第三区域。此第三区域可为一本征区，并可位于第一区域与第二区域之间。第三区域亦可具有一第三载流子浓度。此第三载流子浓度可为第一导电型，并可小于第一载流子浓度。此时第三区域可位于第一区域与第二区域之间，并可与第一区域邻接。

上述工艺在形成绝缘层之前，可再包括在半导体层中形成一第四区域。此第四区域可为一本征区，并可位于第三区域与第二区域之间。此第四区域也可具有一第四载流子浓度。此第四载流子浓度可为第二导电型，并可小于第二载流子浓度。此时第四区域可位于第三区域与第二区域之间，并可与第二区域邻接。

上述工艺在形成绝缘层之前，可再包括在半导体层中形成一第五区域。此第五区域可为一本征区，并可位于第三区域与第四区域之间。此第五区域也可具有一第五载流子浓度。此时第五载流子浓度可为第一导电型，并可小于第三载流子浓度。此时第五区域可位于第三区域与第四区域之间。

本发明的二极管采用的薄膜晶体管工艺可以为多晶硅薄膜晶体管工艺。

根据本发明，提供一种在衬底上形成二极管的方法，包括：形成一半导体层于该衬底上；于该半导体层中形成具一第一载流子浓度的第一区域，该第一载流子浓度为一第一导电型；于该半导体层中形成具一第二载流子浓度的第二区域，该第二载流子浓度为与该第一导电型不同的一第二导电型；在该半导体层中形成具一第三载流子浓度的第三区域，其中该第三载流子浓度为该第一导电型，该第三载流子浓度小于该第一载流子浓度，该第一区域与该第二区域不邻接，该第三区域位于该第一区域与该

第二区域之间，该第三区域与该第一区域邻接；形成一绝缘层于该半导体层上；蚀刻该绝缘层以在该第一和第二区域之上形成至少一接触窗；以及形成一金属层于该绝缘层上，其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

5 根据本发明，提供一种二极管，包括：一半导体层，其包括具有第一导电型的第一载流子浓度的第一区域、具有与该第一导电型不同的第二导电型的第二载流子浓度的第二区域、以及位于该第一区域与该第二区域之间的作为本征区的第三区域；一绝缘层，位于该半导体层上，该绝缘层包括位于该第一和第二区域上方的至少一接触窗；以及一金属层，位于该绝缘层上，其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

10 根据本发明，提供一种二极管，包括一半导体层，该半导体层包括：一第一区域，具一第一载流子浓度，该第一载流子浓度为一第一导电型；一第二区域，具一第二载流子浓度，该第二载流子浓度为与该第一导电型
15 不同的一第二导电型；以及一第三区域，该第三区域具一第三载流子浓度，该第三载流子浓度为该第一导电型，该第三载流子浓度小于该第一载流子浓度，该第一区域与该第二区域不邻接，该第三区域位于该第一区域与该第二区域之间，该第三区域与该第一区域邻接。该二极管还包括一绝缘层，位于该半导体层上，该绝缘层包括位于该第一和第二区域上方的至少一接触窗；以及一金属层，位于该绝缘层上。其中，该接触窗暴露出该半导体层的该第一和第二区域的一部分的上表面，该金属层填入该接触窗以接触该半导体层。

20 附图说明
25 附图用于配合说明书解释本发明，图 3 至图 8 中类似的附图标记表示类似的元件，其中：

图 1 为现有技术中静电放电防护电路的示意图；
图 2 为应用本发明的静电放电防护电路的示意图；
图 3 为本发明第一实施例的剖面示意图；
图 4 为本发明第二实施例的剖面示意图；
图 5 为本发明第三实施例的剖面示意图；

图 6 为本发明第四实施例的剖面示意图；
图 7 为本发明第五实施例的剖面示意图；
图 8 为本发明第六实施例的剖面示意图；
图 9 为本发明第七实施例的剖面示意图；以及
5 图 10 为本发明第八实施例的剖面示意图。

附图中的附图标记说明如下：

100	静电放电防护电路	102, 104 晶体管
106, 108	电阻	200 静电放电防护电路
202	内部电路	204, 206, 208, 210 二极管
10	300, 400, 500, 600, 700, 800, 900, 1000	二极管
302	衬底	304 半导体层
	306, 406, 506, 606, 706, 1006	第一区域
	308, 408, 508, 608, 708, 1008	第二区域
15	310 绝缘层	312 接触窗
	314 金属层	1020 第五区域
	416, 516, 616, 716, 916, 1016	第三区域
	718, 818, 1018	第四区域

具体实施方式

20 图 3 为本发明第一实施例 300 的剖面示意图。本实施例 300 包括一半导体层 304、一绝缘层 310，以及一金属层 314。半导体层 304 包括具第一载流子浓度的第一区域 306，以及具第二载流子浓度的第二区域 308。绝缘层 310 位于半导体层 304 上，包括至少一接触窗 312。金属层 314 位于绝缘层 310 上。其中接触窗 312 暴露出半导体层 304 的一部分上表面，金属层 314 填入接触窗 312 以接触半导体层 304。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第一区域 306 与第二区域 308 邻接。
25

图 4 为本发明第二实施例 400 的剖面示意图。本实施例 400 中半导体层 304 包括具第一载流子浓度的第一区域 406，以及具第二载流子浓度的第二区域 408。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第一区域 406 与第二区域 408 不邻接，中间夹有

第三区域 416。本实施例 400 中，第三区域 416 为一本征区。

图 5 为本发明第三实施例 500 剖面示意图。本实施例 500 中半导体层 304 包括具第一载流子浓度的第一区域 506，具第二载流子浓度的第二区域 508，以及具第三载流子浓度的第三区域 516。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第三载流子浓度为一第三正型载流子浓度，且小于第一正型载流子浓度。第三区域 516 位于第一区域 506 与第二区域 508 之间，并分别与第一区域 506 及第二区域 508 邻接。

图 6 为本发明第四实施例 600 的剖面示意图。本实施例 600 中半导体层 304 包括具第一载流子浓度的第一区域 606，具第二载流子浓度的第二区域 608，以及具第三载流子浓度的第三区域 616。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第三载流子浓度为一第三负型载流子浓度，且小于第二负型载流子浓度。第三区域 616 位于第一区域 606 与第二区域 608 之间，并分别与第一区域 606 及第二区域 608 邻接。

图 7 为本发明第五实施例 700 的剖面示意图。本实施例 700 中半导体层 304 包括具第一载流子浓度的第一区域 706，具第二载流子浓度的第二区域 708，具第三载流子浓度的第三区域 716，以及具第四载流子浓度的第四区域 718。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第三载流子浓度为一第三正型载流子浓度，且小于第一正型载流子浓度。第四载流子浓度为一第四负型载流子浓度，且小于第二负型载流子浓度。第三区域 716 与第四区域 718 皆位于第一区域 706 与第二区域 708 之间。第三区域 716 与第一区域 706 邻接，第四区域 718 与第二区域 708 邻接。第三区域 716 与第四区域 718 邻接。

图 8 为本发明第六实施例 800 的剖面示意图。本实施例 800 与图 7 中第五实施例 700 相似，只是第四区域 818 为一本征区。

图 9 为本发明第七实施例 900 的剖面示意图。本实施例 900 与图 7 中第五实施例 700 相似，只是第三区域 916 为一本征区。

图 10 为本发明第八实施例 1000 的剖面示意图。本实施例 1000 中半导体层 304 包括具第一载流子浓度的第一区域 1006，具第二载流子浓度的第二区域 1008，具第三载流子浓度的第三区域 1016，具第四载流子浓度的第

四区域 1018，以及一第五区域 1020。第一载流子浓度为一第一正型载流子浓度，第二载流子浓度为一第二负型载流子浓度。第三载流子浓度为一第三正型载流子浓度，且小于第一正型载流子浓度。第四载流子浓度为一第四负型载流子浓度，且小于第二负型载流子浓度。第三区域 1016 与第四区域 1018 皆位于第一区域 1006 与第二区域 1008 之间。第三区域 1016 与第一区域 1006 邻接，第四区域 1018 与第二区域 1008 邻接，第三区域 1016 与第四区域 1018 不邻接，中间夹有第五区域 1020。本实施例 1000 中第五区域 1020 为一本征区。但第五区域 1020 也可具一第五载流子浓度。此第五载流子浓度可为一第五正型载流子浓度，并小于第三正型载流子浓度。此第五载流子浓度亦可为一第五负型载流子浓度，并小于第二负型载流子浓度。

上述说明并非对本发明范畴的限制，且上述说明以及各种改变与均等性的安排皆在本发明权利要求书请求保护的范畴内。

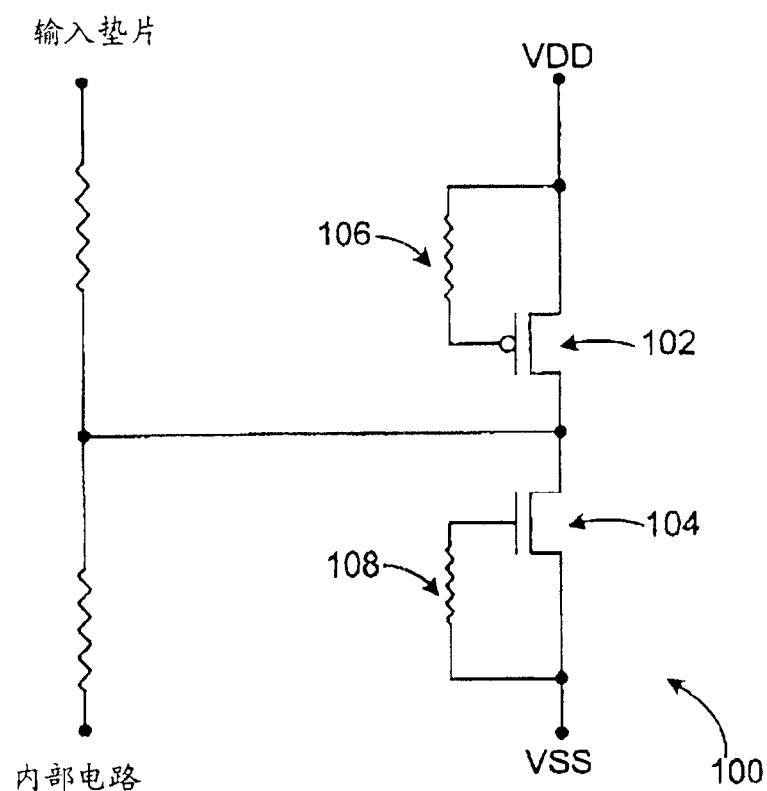


图 1

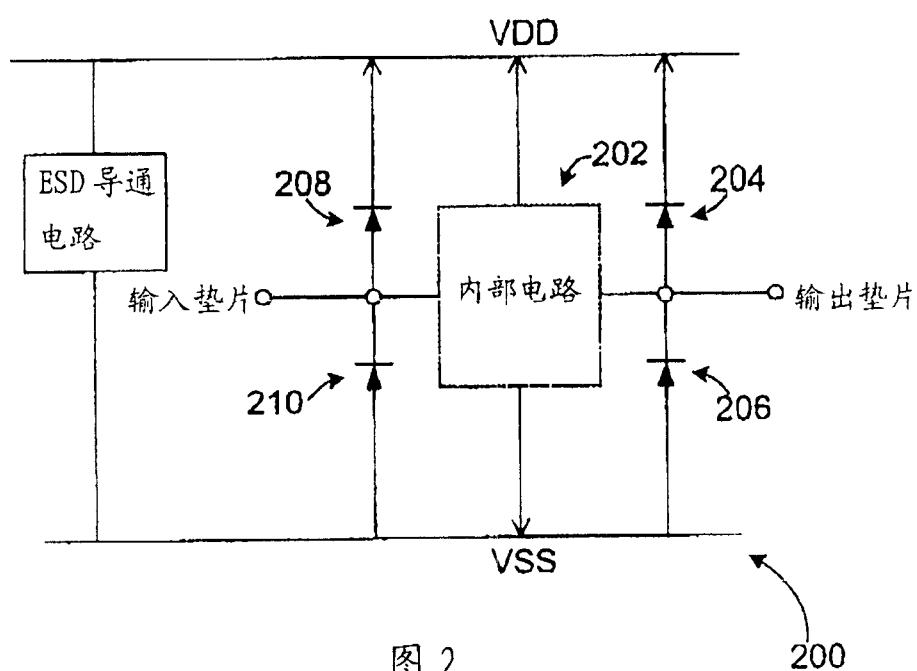


图 2

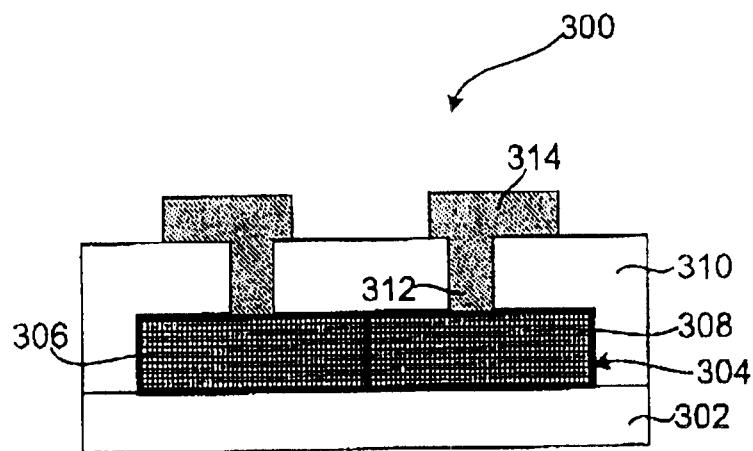


图 3

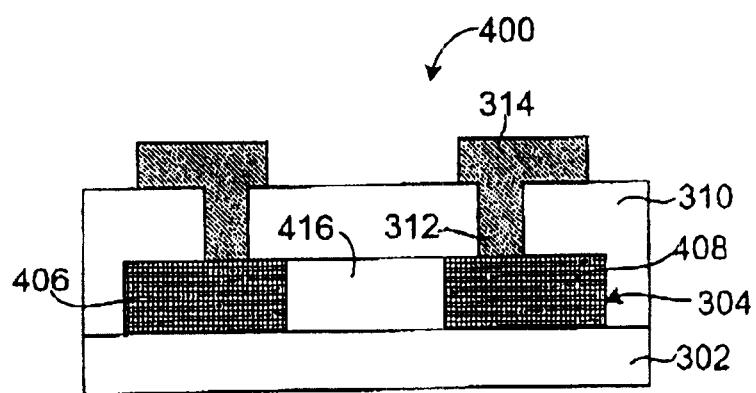


图 4

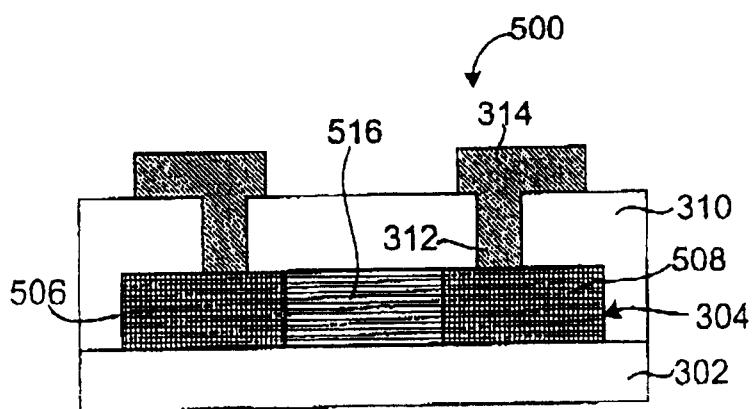


图 5

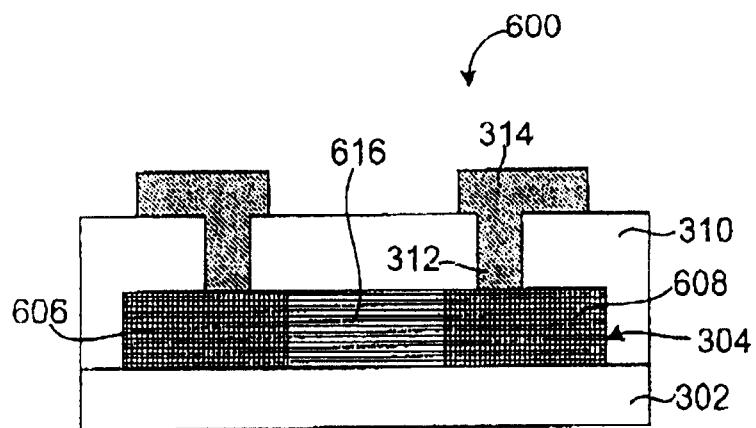


图 6

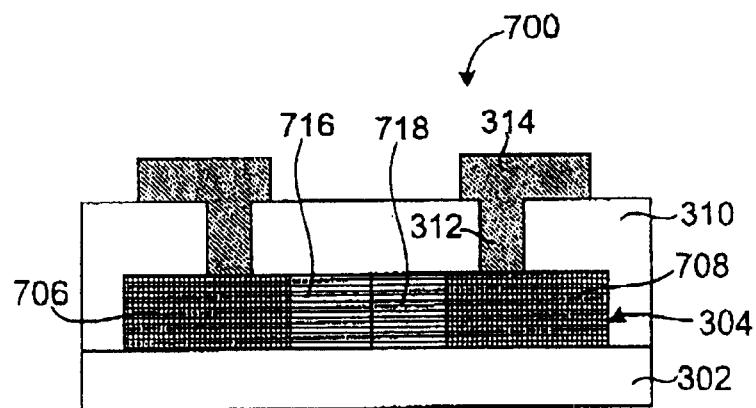


图 7

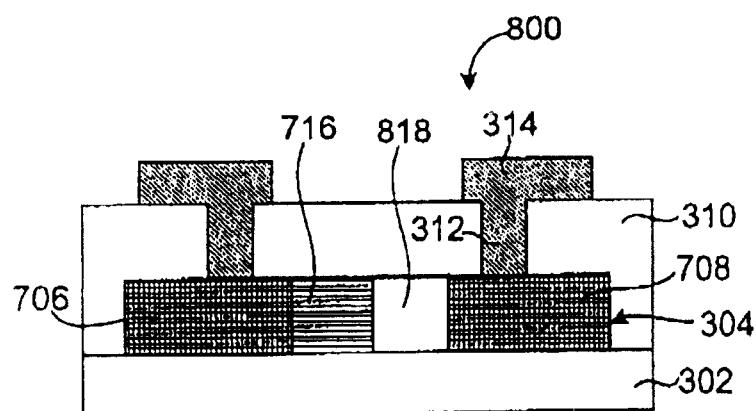


图 8

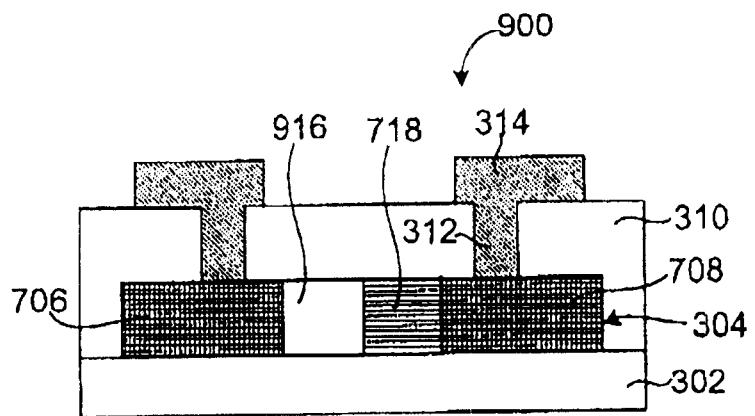


图 9

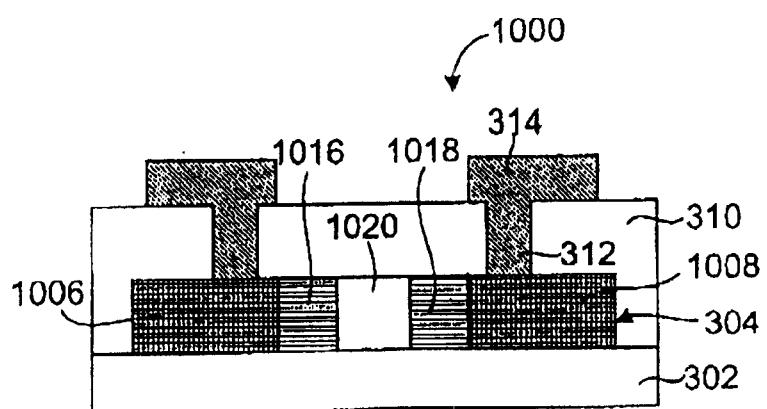


图 10